

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
:

Kenichi NATSUME

Serial No.: [NEW] : Attn: Applications Branch

Filed: October 1, 2003 : Attorney Docket No.: OKI.582

For: SCAN TEST CIRCUIT WITH RESET CONTROL CIRCUIT

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
P.O. Box 1450
Alexandria, VA 22313-1450

Siri

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Japanese application:

Appln. No. 2002-353702 filed December 5, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

1



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: October 1, 2003

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application: 2002年12月 5日

出願番号
Application Number: 特願2002-353702

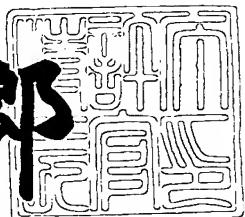
[ST.10/C]: [JP2002-353702]

出願人
Applicant(s): 沖電気工業株式会社

2003年 6月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3042869

【書類名】 特許願

【整理番号】 KT000471

【提出日】 平成14年12月 5日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G01R 31/317

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 夏目 賢一

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スキャンテスト回路

【特許請求の範囲】

【請求項1】 リセット信号が入力されるリセット入力端子を有し、スキャンデータと、データとが入力され、この入力された前記スキャンデータと前記データとをスキャンシフトイネーブル信号によって切り換えて出力データとする第1のフリップフロップと、

前記スキャンシフトイネーブル信号によって、前記リセット信号を制御するリセット制御手段と、

を備えたことを特徴とする、スキャンテスト回路。

【請求項2】 前記リセット制御手段は、前記リセット信号を、キャプチャシーケンス中のみ有効となるように制御することを特徴とする、請求項1に記載のスキャンテスト回路。

【請求項3】 前記リセット制御手段は、前記スキャンシフトイネーブル信号の反転信号と、前記リセット信号を制御するリセット制御信号を生成する組み合わせ回路の出力信号とを入力とするANDゲートからなることを特徴とする、請求項1または2に記載のスキャンテスト回路。

【請求項4】 前記組み合わせ回路は、前記第1のフリップフロップ回路に対してチェーン接続された第2、第3のフリップフロップ回路の出力信号を入力とするANDゲートからなることを特徴とする、請求項3に記載のスキャンテスト回路。

【請求項5】 さらに、

前記リセット信号の有効・無効を制御するマスク手段と、

該マスク手段を制御するマスク制御手段と、

を備えたことを特徴とする、請求項1、2または3のいずれかに記載のスキャンテスト回路。

【請求項6】 前記マスク手段は、前記スキャンシフトイネーブル信号と、前記マスク制御手段の出力信号とを入力とするORゲートからなることを特徴とする、請求項5に記載のスキャンテスト回路。

【請求項7】 前記マスク制御手段は、任意のデータをロード可能な第4のフリップフロップ回路であることを特徴とする、請求項5または6に記載のスキャンテスト回路。

【請求項8】 前記マスク制御手段は、任意のデータを入力可能な入力手段であることを特徴とする、請求項5または6に記載のスキャンテスト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路のテスト方式として知られているスキャンテストにおいて、テストパターン削減、故障検出率の向上、および、スキャンテスト関連回路規模の削減に関するものであり、特に、回路内部でセットリセット信号を発生し、これを非同期セットリセットとして使用するフリップフロップ（F/F）を含む回路のスキャンテスト回路に対して有効である。

【0002】

【従来の技術】

従来、スキャンテスト回路内部でリセット信号を発生し、これを非同期リセットとして使用する回路では、通常データの入出力、スキャンデータ入出力、スキャンイネーブル入力、スキャンテストモード入力、クロック入力、および構成によっては、外部リセット入力を用いていた。

【0003】

スキャンシフトシーケンスのスキャンシフト中は、スキャンフリップフロップが変化するため、組み合わせ回路の出力がサイクルごとに変化する可能性がある。そのため、スキャンテストシーケンス中は、非同期リセット付きフリップフロップのリセット入力がアクティブにならないように固定したり、外部リセット入力を設け、スキャンテストシーケンス中は、必ず外部リセット入力が選択される構成とし、スキャンテストシーケンス中は、外部リセット入力を非アクティブとし、キャプチャシーケンス中は外部リセット入力を任意に変化させてスキャンテストを実行していた。

【0004】

また、スキャンテストモード入力によって、観測できなくなった組み合わせ回路の出力信号を観測するために、排他的論理和回路やスキャン観測専用のフリップフロップを設けて、組み合わせ回路の出力信号を可観測とし、故障検出率を上げる構成がとられていた。

【0005】

【特許文献1】

特開2002-267719

【特許文献2】

特開2001-296331

【0006】

【発明が解決しようとする課題】

しかしながら、上記従来の回路・方式では、スキャンテスト用の専用のスキャンテストモード入力や外部リセット入力のピンを別に設ける必要がある。そのため、LSIのピン数増加によるコスト増加、故障検出率の低下による信頼性の低下、回路規模・テストパターン（テスト時間）増加によるコスト増加につながってしまうという問題点があった。

【0007】

また、組み合わせ回路の出力が観測できず、これに関係した組み合わせ回路の故障を検出できないという問題点もあった。これを解決するために、組み合わせ回路の出力を観測するための排他的論理和回路やスキャン観測専用のフリップフロップを付加すると、回路規模が増加し、テストパターンも増加するという別の問題が生じる。

【0008】

本発明は、従来のスキャンテスト回路が有する上記問題点に鑑みてなされたものであり、本発明の目的は、LSIのピン数を削減し、テストパターン削減、故障検出率の向上、および、スキャンテスト関連回路規模の削減を図ることの可能な、新規かつ改良されたスキャンテスト回路を提供することである。

【0009】

【課題を解決するための手段】

上記課題を解決するため、本発明の第1の観点によれば、リセット信号（R S T）が入力されるリセット入力端子（R）を有し、スキャンデータ（S I）と、データ（D I）とが入力され、この入力されたスキャンデータとデータとをスキャンシフトイネーブル信号（S C A N _ S E）によって切り換えて出力データ（D O）とする第1のフリップフロップ（1 0 0）と、スキャンシフトイネーブル信号によって、リセット信号を制御するリセット制御手段（1 0 1）とを備えたことを特徴とする、スキャンテスト回路が提供される（請求項1）。ここで例えば、リセット制御手段（1 0 1）は、リセット信号を、キャプチャシーケンス中のみ有効となるように制御するようにしてもよい（請求項2）。

【0010】

また、本発明によれば、スキャンテスト回路であって、スキャンテスト回路の出力信号を出力する第1のフリップフロップ回路（1 0 0）と、第1のフリップフロップ回路をスキャンテストシーケンスにシフトさせるスキャンシフトイネーブル信号（S C A N _ S E）によって、第1のフリップフロップ回路をリセットするリセット信号（R S T）を制御するリセット制御手段（1 0 1）とを備えたことを特徴とする、スキャンテスト回路が提供される。ここで例えば、リセット制御手段（1 0 1）は、リセット信号を、キャプチャシーケンス中のみ有効となるように制御するようにしてもよい。

【0011】

上記において、リセット制御手段（1 0 1）は、例えば、スキャンシフトイネーブル信号の反転信号と、リセット信号を制御するリセット制御信号を生成する組み合わせ回路（1 1 0）の出力信号（L O）とを入力とするA N Dゲートとして構成することができる（請求項3）。A N Dゲートであれば回路規模の増加を最小限に抑えることができる。

【0012】

また、回路構成の一例として、スキャンチェーンが3つのフリップフロップで構成されている場合を想定すると、組み合わせ回路（1 1 0）は、例えば、第1のフリップフロップ回路に対してチェーン接続された第2、第3のフリップフロップ回路（1 2 0， 1 3 0）の出力信号を入力とするA N Dゲートとして構成す

ることができる（請求項4）。

【0013】

かかる回路構成によれば、スキャンテスト用の専用のスキャンテストモード入力、外部リセット入力のピンなど、テスト専用ピンを別途設ける必要がないので、LSIのピンを少なくできるという効果がある。また、リセット制御手段（101）の追加のみで、フリップフロップ（例えば、非同期リセット付きフリップフロップ）のリセット回路のスキャンテストを実行できるので、少ないスキャンテスト回路規模でスキャンテストの故障検出率を向上できるという効果がある。

【0014】

また、本発明の第2の観点によれば、上記スキャンテスト回路において、さらに、リセット信号（RST）の有効・無効を制御するマスク手段（202）と、該マスク手段を制御するマスク制御手段（203、TDI）とを備えて構成することができる（請求項5）。

【0015】

上記において、マスク手段（202）は、スキャンシフトイネーブル信号と、マスク制御手段の出力信号とを入力とするORゲートとして構成することができる（請求項6）。ORゲートであれば回路規模の増加を最小限に抑えることができる。

【0016】

また、マスク制御手段は、任意のデータをロード可能な第4のフリップフロップ回路（203）として構成することができる（請求項7）。

【0017】

かかる回路構成によれば、上述のようにスキャンテスト回路規模を小さくできるという効果に加え、フリップフロップ（例えば、非同期リセット付きフリップフロップ）のリセット回路の信号に対して、これの有効・無効を制御するマスク手段（202）と、該マスク手段を制御するマスク制御手段（203、TDI）とを設けているので、スキャンテスト制御性が向上し、テストパターン数を少なくてできるという効果がある。

【0018】

また、本発明の第3の観点によれば、上記マスク制御手段を、任意のデータを入力可能な入力手段（T D I）として構成することができる（請求項8）。

【0019】

かかる回路構成によれば、上述のようにスキャンテスト回路規模を小さくできるという効果、および、スキャンテスト制御性が向上し、テストパターン数を少なくできるという効果に加え、スキャンテスト用の専用の入力手段（例えば、テスト専用ピン）を任意のタイミングで制御できるので、タイミング設計がしやすいという効果がある。

【0020】

なお上記において、括弧書きで記した構成要素および信号は、理解を容易にするため、後述の実施形態における対応する構成要素および信号を記したに過ぎず、本発明がこれに限定されるものではない。

【0021】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかるスキャンテスト回路の好適な実施の形態について詳細に説明する。なお、本明細書および図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0022】

（第1の実施の形態）

本実施の形態にかかる非同期リセット付きフリップフロップ回路用スキャンテスト回路（以下、単にスキャンテスト回路という）について、図1および図2を参照しながら説明する。図1は、本実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。図2は、図1の回路を含むスキャンテスト回路の全体構成の一例を示す説明図である。

【0023】

まず、図1を参照しながら説明すると、本実施の形態にかかるスキャンテスト回路は、非同期リセット付きフリップフロップ（以下、単にフリップフロップという）100と、ANDゲート101と、組み合わせ回路110を含んで構成さ

れている。

【0024】

フリップフロップ100のスキャンシフトイネーブル入力ピンS Eには、スキャンシフトイネーブル信号S CAN_S Eが入力されている。フリップフロップ100のスキャンデータ入力S Iには、スキャンデータS Iが入力されている。スキャンデータS Iは、図示しない他のフリップフロップのスキャン出力など、スキャンシフト時にフリップフロップ100にスキャンデータをシフトさせるための信号である。フリップフロップ100のデータ入力ピンD Iには、データD Iが入力されている。データD Iは、任意の回路の出力データが入力されている。

【0025】

フリップフロップ100の出力Qからは、データD Oが出力されている。フリップフロップ100の出力データD Oは、フリップフロップ100のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ100にはクロック信号C L Kが入力されている。このクロック信号C L Kは、スキャンテスト時のスキャンクロックとして使用される。

【0026】

フリップフロップ100の非同期リセット入力ピン（R：正論理）には、リセット信号R S Tが入力されている。リセット信号R S Tは、ANDゲート101から出力されている。ANDゲート101の入力として、組み合わせ回路110の出力データL Oが正論理で入力され、スキャンシフトイネーブル信号S CAN_S Eが負論理で入力されている。

【0027】

次いで、図1に示した回路を含むスキャンテスト回路の全体構成の一例について、図2を参照しながら説明する。スキャンテスト回路10は、フリップフロップ100と、ANDゲート101と、組み合わせ回路110を含み、さらに、フリップフロップ120、130（本発明の第2、第3のフリップフロップ）と、バッファ111、112を含んで構成されている。

【0028】

フリップフロップ100のスキャンシフトイネーブル入力ピンS Eには、スキャンシフトイネーブル信号S CAN_S Eが入力されている。フリップフロップ100のスキャンデータ入力S Iには、スキャンデータS Iが入力されている。スキャンデータS Iは、フリップフロップ120のスキャン出力、すなわち、スキャンシフト時にフリップフロップ100にスキャンデータをシフトさせるための信号である。フリップフロップ100のデータ入力ピンD Iには、データD Iが入力されている。データD Iはフリップフロップ120の出力データがバッファ111で増幅されて入力されている。

【0029】

フリップフロップ100の出力Qからは、データD Oが出力されている。フリップフロップ100の出力データD Oは、フリップフロップ100のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ100にクロック信号C L Kが入力され、スキャンテスト時のスキャンロックとして使用される。

【0030】

フリップフロップ100の非同期リセット入力ピン（R：正論理）には、リセット信号R S Tが入力されている。リセット信号R S Tは、ANDゲート101から出力されている。ANDゲート101の入力として、組み合わせ回路110の出力データL Oが正論理で入力され、スキャンシフトイネーブル信号S CAN_S Eが負論理で入力されている。

【0031】

図2に示した例において、組み合わせ回路110は、フリップフロップ120, 130の出力信号を入力とするANDゲートにより構成されている。なお、組み合わせ回路の構成は、図2に示した組み合わせ回路110の構成に限定されるものではない。フリップフロップ120の出力信号（バッファ111の入力信号）をa, フリップフロップ130の出力信号をb, ANDゲートの出力信号をyとすると、スキャンシーケンス状態終了後（スキャンシフトイネーブル信号S CAN_S E=0）の信号a, b, yと、リセット信号R S T, フリップフロップ

100の状態、バッファ111のピンaが0に縮退している故障(stuck at 0 : S A 0)をテストできる／できない、の関係は、図3に示した通りである。

【0032】

次いで、スキャンテスト回路10の動作の一例を、図4を参照しながら説明する。本実施の形態の動作を説明するタイミングチャートを図4に示す。

【0033】

t_0 でSCAN_SE = 1となり、スキャンシフトシーケンスが始まる。

【0034】

t_1 からスキャンシフトが始まり、SCAN_SE = 1の間、クロックに同期してスキャンシフトが行われ、 t_3 でSCAN_SE = 0となり、最初のスキャンシフトシーケンスが終了する。なお、本実施の形態では、スキャンチェーンが3つのフリップフロップ300, 320, 330で構成されており、図4に示したように、 $t_0 \sim t_3$ までのスキャンシーケンス中はクロックが3回振幅しているが、本発明はこれに限定されない。なお、後述の他の実施の形態についても同様である。

【0035】

t_2 では、最初のスキャンシフトシーケンスのシフトが完了し、組み合わせ回路110の出力LO = 0となり、フリップフロップ100の入力データDI = d0となる。なお、図4におけるDI, LOの値は一例に過ぎず、DI, LOの値は任意である。

【0036】

t_4 で最初のキャプチャシーケンスが開始される。フリップフロップ100の入力データDI = d0であるため、 t_4 でクロックCLKの立ち上がりでフリップフロップ100はd0をキャプチャし、クロックCLK立ち上がり後、フリップフロップ100の出力データDO = d0となる。ANDゲート101の出力RSTは t_4 まで図に示すようにRST = 0となっている。以後、ANDゲート101の入力として、SCAN_SEが負論理で入力されているため、RST信号はスキャンシフトシーケンス中(SCAN_SE = 1)は、RST = 0となり、

スキャンシフトシーケンス中にスキャンシフトデータがリセットされてしまうことはない。

【0037】

t_4 以降、同様にスキャンシフトシーケンス、キャプチャシーケンスが繰り返される。

【0038】

t_5 において、クロックCLKの立ち上がりで、キャプチャによって組み合せ回路110の出力LO=1となると、ANDゲート101の出力データRST=1となるので、フリップフロップ100の出力DO=0となる。

【0039】

t_6 でスキャンシフトシーケンスが始まりSCAN_SE=1となるため、ANDゲート101の出力データRST=0となる。

【0040】

t_6 から始まったスキャンシフトシーケンスのスキャンシフトの最後のクロック立ち上がりタイミング t_7 直後、組み合せ回路110の出力LO=1となると、 t_8 ではスキャンシフトイネーブル信号SCAN_SE=0となるため、ANDゲート101の出力データRST=1となり、フリップフロップ100の出力DO=0となる。

【0041】

t_9 のキャプチャで組み合せ回路110の出力LO=1が継続されると t_9 ～ t_{10} まで、スキャンシフトイネーブル信号SCAN_SE=0であるため、ANDゲート101の出力データRST=1となり、フリップフロップ100の出力DO=0となる。

【0042】

t_{11} ではANDゲート101の出力データRSTの値は t_8 と同様にRST=1となり、 t_{12} のキャプチャで組み合せ回路110の出力LO=0となると、ANDゲート101の出力データRST=0となる。

【0043】

以上のように、スキャンシフトシーケンス中は非同期リセット信号によりスキ

ヤンシフトデータをリセットすることなくスキャンシフトし、キャプチャサイクル時の組み合わせ回路110の出力L0によって、フリップフロップ100のリセット・非リセット状態をテストすることができる。

【0044】

(第1の実施の形態の効果)

以上説明したように、本実施の形態によれば、スキャンテスト用の専用のスキャンテストモード入力、外部リセット入力のピンなど、テスト専用ピンを別途設ける必要がないので、LSIのピンを少なくできるという効果がある。また、ANDゲート追加のみで、フリップフロップ100のリセット回路のスキャンテストを実行できるので、少ないスキャンテスト回路規模でスキャンテストの故障検出率を向上できるという効果がある。

【0045】

(第2の実施の形態)

本実施の形態にかかる非同期リセット付きフリップフロップ回路用スキャンテスト回路（以下、単にスキャンテスト回路という）について、図5および図6を参照しながら説明する。図5は、本実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。図6は、図5の回路を含むスキャンテスト回路の全体構成の一例を示す説明図である。

【0046】

まず、図5を参照しながら説明すると、本実施の形態にかかるスキャンテスト回路は、非同期リセット付きフリップフロップ（以下、単にフリップフロップという）200と、ANDゲート201と、組み合わせ回路210と、ORゲート202と、任意データロード用スキャンフリップフロップ（本発明の第4のフリップフロップであり、以下、単にスキャンフリップフロップという）203を含んで構成されている。

【0047】

フリップフロップ200のスキャンシフトイネーブル入力ピンSEには、スキャンシフトイネーブル信号SCAN_SEが入力されている。フリップフロップ200のスキャンデータ入力SIには、スキャンデータSIが入力されている。

スキャンデータS Iは、図示しない他のフリップフロップのスキャン出力など、スキャンシフト時にフリップフロップ200にスキャンデータをシフトさせるための信号である。フリップフロップ200のデータ入力ピンD Iには、データD Iが入力されている。データD Iは、任意の回路の出力データが入力されている。

【0048】

フリップフロップ200の出力Qからは、データD Oが出力されている。フリップフロップ200の出力データD Oは、フリップフロップ200のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ200にクロック信号C L Kが入力されている。このクロック信号C L Kは、スキャンテスト時のスキャンクロックとして使用される。

【0049】

フリップフロップ200の非同期リセット入力ピン（R：正論理）には、リセット信号R S Tが入力されている。リセット信号R S Tは、ANDゲート201から出力されている。ANDゲート201の入力として、組み合わせ回路210の出力データL Oが正論理で入力され、ORゲート202の出力信号O R Oが負論理で入力されている。

【0050】

ORゲート202の入力として、スキャンフリップフロップ203の出力S F F O、および、スキャンシフトイネーブル信号S C A N _ S Eが入力されている。スキャンフリップフロップ203データ入力ピンD Iには、排他的論理和回路の出力や、任意の組み合わせ回路の出力データを入力し、スキャン観測性向上することも可能であるが、本実施の形態の説明では“1”を入力しておく。

【0051】

スキャンフリップフロップ203にはクロック信号C L Kが入力されている。このクロック信号C L Kは、スキャンテスト時のスキャンクロックとして使用される。スキャンフリップフロップ203に使用されるクロック信号は必ずしも、フリップフロップ200のクロック信号と同じである必要はないが、説明を簡潔

にするため、本実施の形態の説明では同じクロックを用いるものとする。

【0052】

次いで、図5に示した回路を含むスキャンテスト回路の全体構成の一例について、図6を参照しながら説明する。スキャンテスト回路20は、フリップフロップ200と、ANDゲート201と、組み合わせ回路210と、ORゲート202と、スキャンフリップフロップ203（本発明の第4のフリップフロップ）を含み、さらに、フリップフロップ230と、バッファ211を含んで構成されている。

【0053】

フリップフロップ200のスキャンシフトイネーブル入力ピンSEには、スキャンシフトイネーブル信号SCAN_SEが入力されている。フリップフロップ200のスキャンデータ入力SIには、スキャンデータSIが入力されている。スキャンデータSIは、フリップフロップ203のスキャン出力など、スキャンシフト時にフリップフロップ200にスキャンデータをシフトさせるための信号である。フリップフロップ200のデータ入力ピンDIには、データDIが入力されている。データDIはフリップフロップ230の出力データがバッファ211で増幅されて入力されている。

【0054】

フリップフロップ200の出力Qからは、データDOが出力されている。フリップフロップ200の出力データDOは、フリップフロップ200のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ200にクロック信号CLKが入力されている。このクロック信号CLKは、スキャンテスト時のスキャンクロックとして使用される。

【0055】

フリップフロップ200の非同期リセット入力ピン（R：正論理）には、リセット信号RSTが入力されている。リセット信号RSTは、ANDゲート201から出力されている。ANDゲート201の入力として、組み合わせ回路210の出力データLOが正論理で入力され、ORゲート202の出力信号OROが負

論理で入力されている。

【0056】

ORゲート202の入力として、スキャンフリップフロップ203の出力S F F O, および、スキャンシフトイネーブル信号SCAN_SEが入力されている。スキャンフリップフロップ203データ入力ピンD Iには、排他的論理和回路の出力や、任意の組み合わせ回路の出力データを入力し、スキャン観測性を向上することも可能であるが、本実施の形態では“1”を入力しておく。

【0057】

スキャンフリップフロップ203にはクロック信号CLKが入力されている。このクロック信号CLKは、スキャンテスト時のスキャンクロックとして使用される。スキャンフリップフロップ203に使用されるクロック信号は必ずしも、フリップフロップ200のクロック信号と同じである必要はないが、説明を簡潔にするため、本実施の形態の説明では同じクロックを用いるものとする。

【0058】

図6に示した例において、組み合わせ回路210は、フリップフロップ230およびデータ入力D Iを入力とするANDゲートにより構成されている。なお、組み合わせ回路の構成は、図6に示した組み合わせ回路210の構成に限定されるものではない。フリップフロップ230の出力信号（バッファ211の入力信号）をa, データD Iをb, ANDゲートの出力信号をyとすると、スキャンシーケンス状態終了後（スキャンシフトイネーブル信号SCAN_SE=0）の信号a, b, yと、ORゲート202の出力信号ORO, リセット信号RST, フリップフロップ200の状態、バッファ211のピンaが0に縮退している故障(stuck at 0 : SA0)をテストできる／できない、の関係は、図7に示した通りである。

【0059】

図7に示すように、マスク機能を設けることによって、フリップフロップ200のリセットを実施する／しないを自由にコントロールできるので、テストパターンの融通が効くようになる。テスト時間を短くするために、テストパターンを圧縮することが可能である。すなわち、同じ状態を実現できるテストパターンを

削減する作業をツール上で行うが、マスク機能を設けることによってテストパターンを圧縮することが可能である。

【0060】

本実施の形態では、マスク機能を設けたことによって、バッファ111のピンaのA S 0故障をテストできるケースが増える。1つのテストパターンで、1スキャンシーケンス後の状態から、キャプチャ動作により、多くのゲートの故障検出をするので、1つのパターンで多くの故障を検出できる方が全体のテストパターン数が少なくなる。それゆえ、ツールはより少ないパターンを探しやすくなる。なお通常、テストパターンはA T P G (A u t o m a t i c T e s t P a t t e r n G e n e r a t o r) ツールで生成するが、トータルでより少ないテストパターンになるようなテストパターンを自動的に生成する。

【0061】

次いで、スキャンテスト回路20の動作の一例を、図8を参照しながら説明する。本実施の形態の動作を説明するタイミングチャートを図8に示す。スキャンテストシーケンスについては第1の実施の形態と同等である。クロックC L K、スキャンシフトイネーブル信号S C A N _ S E、および、組み合わせ回路210の出力L Oの波形は第1の実施の形態の動作と同様である。

【0062】

第1の実施の形態では、キャプチャシーケンス中 (S C A N _ S E = 0) 中は、組み合わせ回路210の出力L Oのみによってフリップフロップ100のリセット入力信号R S Tが決まるが、第2の実施の形態では、スキャンシフトシーケンスの最後のシフトタイミング、例えば、図8では、t s 0, t s 1, t s 2, t s 3のクロックの立ち上がり直後のタイミング時に、スキャンフリップフロップ203にスキャンローディングされているデータ、すなわち、スキャンフリップフロップ203の出力データS F F Oと、キャプチャシーケンスのクロックの立ち上がり(キャプチャ)タイミング、例えば、図8では、t c 0, t c 1, t c 2, t c 3のクロックの立ち上がり直後のタイミング時に、スキャンフリップフロップ203にキャプチャされたデータ(S F F O、本実施の形態の構成においてはD I = “1”をキャプチャするため、必ずS F F O = 1となる)によって

も、フリップフロップ200のリセット入力信号RSTを制御できる。

【0063】

t_{s0} のクロック立ち上がりで、組み合わせ回路210の出力が0となり、 $SFFO = 1$ となるようにスキャンフリップフロップ203にスキャンローディングすると、ORゲート202の出力 $ORO = 1$ となる。ORゲート202の出力 $ORO = 1$ のとき、ANDゲート201の出力 $RST = 0$ となる。

【0064】

t_{c0} において、フリップフロップ200の入力データ $DI = d_0$ のため、 t_{c0} のクロックの立ち上がりで d_0 がキャプチャされ、フリップフロップ200の出力 $DO = d_0$ となる。

【0065】

t_{s1} のクロック立ち上がりで、組み合わせ回路210の出力 $LO = 0$ となり、 $SFFO = 1$ となるようにスキャンフリップフロップ203にスキャンローディングすると、ORゲート202の出力 $ORO = 1$ となる。ORゲート202の出力 $ORO = 1$ のとき、ANDゲート201の出力 $RST = 0$ となる。

【0066】

t_{c1} において、フリップフロップ200の入力データ $DI = d_1$ のため、 t_{c1} のクロックの立ち上がりで d_1 がキャプチャされ、フリップフロップ200の出力 $DO = d_1$ となる。 t_{s1} のクロックの立ち上がりで、 $LO = 1$ となった場合、ORゲート202の出力 $ORO = 1$ のため、ANDゲート201の出力 $RST = 0$ のままである。

【0067】

t_{s2} のクロック立ち上がりで、組み合わせ回路210の出力 $LO = 1$ となり、 $SFFO = 0$ となるようにスキャンフリップフロップ203にスキャンローディングすると、 t_{s2} 後のSCAN_SEの立ち下がり($SCAN_SE = 0$)で、ORゲート202の出力 $ORO = 0$ となる。ORゲート202の出力 $ORO = 0$ のとき、ANDゲート201の出力 RST は、組み合わせ回路210の出力によって決定され、 $RST = 1$ となる。このとき、フリップフロップ200の出力 $DO = 0$ となる。

【0068】

t_{c2} のクロックCLKの立ち上がりで、スキャンフリップフロップ203には $D_I = 1$ がキャプチャされ、 $SFFO = 1$ となり、ORゲート202の出力 $ORO = 1$ となる。このとき、ANDゲート201の出力 $RST = 0$ となる。

【0069】

t_{s3} のクロック立ち上がりで、組み合わせ回路210の出力 $LO = 1$ となり、 $SFFO = 1$ となるようにスキャンフリップフロップ203にスキャンローディングすると、ORゲート202の出力 $ORO = 1$ となる。ORゲート202の出力 $ORO = 1$ のとき、ANDゲート201の出力 $RST = 0$ となる。

【0070】

t_{c3} において、フリップフロップ200の入力データ $D_I = d_3$ のため、 t_{c3} のクロックの立ち上がりで d_3 がキャプチャされ、フリップフロップ200の出力 $DO = d_3$ となる。 t_{s3} のクロックの立ち上がりで、 $LO = 0$ なり、ORゲート202の出力 $ORO = 1$ のため、ANDゲート201の出力 $RST = 0$ のままである。

【0071】

以上のように、スキャンシフトシーケンス中は非同期リセット信号によりスキャンシフトデータをリセットすることなくスキャンシフトし、キャプチャサイクル時の組み合わせ回路210の出力 LO と、これを有効・無効にマスク制御可能なスキャンフリップフロップ203によって、フリップフロップ200のリセット・非リセット状態をテストすることができる。

【0072】

(第2の実施の形態の効果)

以上説明したように、本実施の形態によれば、スキャンテスト用の専用のスキャンテストモード入力、外部リセット入力のピンなど、テスト専用ピンを余分に設ける必要がないので、LSIのピンを少なくできるという効果がある。また、ANDゲート201、ORゲート202、および、スキャンフリップフロップ203追加のみでフリップフロップ200のリセット回路のスキャンテストを実行できるので、スキャンテスト回路規模を小さくできるという効果がある。また

、非同期リセット付きフリップフロップのリセット回路の信号に対して、これを有効・無効にマスク制御可能なフリップフロップ203を設けているので、スキャンテスト制御性が向上し、テストパターン数を少なくできるという効果がある。

【0073】

(第3の実施の形態)

本実施の形態にかかる非同期リセット付きフリップフロップ回路用スキャンテスト回路（以下、単にスキャンテスト回路という）について、図9および図10を参照しながら説明する。図9は、本実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。図10は、図9の回路を含むスキャンテスト回路の全体構成の一例を示す説明図である。

【0074】

まず、図9を参照しながら説明すると、本実施の形態にかかるスキャンテスト回路は、非同期リセット付きフリップフロップ（以下、単にフリップフロップという）300と、ANDゲート301と、組み合わせ回路310と、ORゲート302を含んで構成されている。同図において、符号TDIは、スキャンテスト用のテスト専用ピン（本発明の入力手段）である。なお以下の説明において、このテスト専用ピンから入力される信号も便宜上同じ符号TDIで表す。

【0075】

フリップフロップ300のスキャンシフトイネーブル入力ピンSEには、スキャンシフトイネーブル信号SCAN_SEが入力されている。フリップフロップ300のスキャンデータ入力SIには、スキャンデータSIが入力されている。スキャンデータSIは、図示しない他のフリップフロップのスキャン出力など、スキャンシフト時にフリップフロップ300にスキャンデータをシフトさせるための信号である。フリップフロップ300のデータ入力ピンDIには、データDIが入力されている。データDIは、任意の回路の出力データが入力されている。

【0076】

フリップフロップ300の出力Qからは、データDOが出力されている。フリ

ップフロップ300の出力データD0は、フリップフロップ300のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ300にクロック信号CLKが火力されている。このクロック信号CLKは、スキャンテスト時のスキャンクロックとして使用される。

【0077】

フリップフロップ300の非同期リセット入力ピン（R：正論理）には、リセット信号RSTが入力されている。リセット信号RSTは、ANDゲート301から出力されている。ANDゲート301の入力として、組み合わせ回路310の出力データLOが正論理で入力され、ORゲート302の出力信号OROが負論理で入力されている。

【0078】

ORゲート302の入力として、外部からテストデータ入力TDI、および、スキャンシフトイネーブル信号SCAN_SEが入力されている。

【0079】

次いで、図9に示した回路を含むスキャンテスト回路の全体構成の一例について、図10を参照しながら説明する。スキャンテスト回路30は、フリップフロップ300と、ANDゲート301と、組み合わせ回路310と、ORゲート302を含み、さらに、フリップフロップ320、330と、バッファ311、312を含んで構成されている。

【0080】

フリップフロップ300のスキャンシフトイネーブル入力ピンSEには、スキャンシフトイネーブル信号SCAN_SEが入力されている。フリップフロップ300のスキャンデータ入力SIには、スキャンデータSIが入力されている。スキャンデータSIは、フリップフロップ320のスキャン出力など、スキャンシフト時にフリップフロップ300にスキャンデータをシフトさせるための信号である。フリップフロップ300のデータ入力ピンDIには、データDIが入力されている。データDIはフリップフロップ320の出力データがバッファ311で増幅されて入力されている。

【0081】

フリップフロップ300の出力Qからは、データD0が出力されている。フリップフロップ300の出力データD0は、フリップフロップ300のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ300にクロック信号CLKが入力されている。このクロック信号CLKは、スキャンテスト時のスキャンクロックとして使用される。

【0082】

フリップフロップ300の非同期リセット入力ピン（R：正論理）には、リセット信号RSTが入力されている。リセット信号RSTは、ANDゲート301から出力されている。ANDゲート301の入力として、組み合わせ回路310の出力データLOが正論理で入力され、ORゲート302の出力信号OROが負論理で入力されている。

【0083】

ORゲート302の入力として、外部からテストデータ入力TDI、および、スキャンシフトイネーブル信号SCAN_SEが入力されている。

【0084】

図10に示した例において、組み合わせ回路310は、フリップフロップ320、330の出力信号を入力とするANDゲートにより構成されている。なお、組み合わせ回路の構成は、図10に示した組み合わせ回路310の構成に限定されるものではない。フリップフロップ320の出力信号（バッファ311の入力信号）をa、フリップフロップ330の出力信号をb、ANDゲートの出力信号をyとすると、スキャンシーケンス状態終了後（スキャンシフトイネーブル信号SCAN_SE=0）の信号a、b、yと、ORゲート302の出力信号ORO、リセット信号RST、フリップフロップ300の状態、バッファ311のピンaが0に縮退している故障（stuck at 0 : SA0）をテストできる／できない、の関係は、すでに参照した図7に示した通りである。

【0085】

図7に示すように、マスク機能を設けることによって、フリップフロップ30

0のリセットを実施する／しないを自由にコントロールできるので、テストパターンの融通が効くようになる。テスト時間を短くするために、テストパターンを圧縮することが可能である。すなわち、同じ状態を実現できるテストパターンを削減する作業をツール上で行うが、マスク機能を設けることによってテストパターンを圧縮することが可能である。

【0086】

次いで、スキャンテスト回路30の動作の一例を、図11を参照しながら説明する。本実施の形態の動作を説明するタイミングチャートを図11に示す。スキャンテストシーケンスについては第1、2の実施の形態と同様であり、また、クロックCLK、スキャンシフトイネーブル信号SCAN_SE、および、組み合わせ回路310の出力LOの波形は第1、2の実施の形態の動作と同様である。

【0087】

$t_s 0, t_c 0, t_s 1, t_c 1, t_s 3, t_c 3$ におけるフリップフロップ300のリセット入力信号RST、フリップフロップ300のデータ入力DI、およびデータ出力DOの動作波形も第2の実施と同様である。第2の実施の形態では、スキャンフリップフロップ203にスキャンローディングされているデータSFFOによって、キャプチャシーケンス中のフリップフロップ300のリセット入力信号RSTの有効・無効を制御していたが、第3の実施の形態では外部テストデータ入力信号TDIによって制御する。

【0088】

$t_s 2$ のクロック立ち上がりで、組み合わせ回路310の出力 $LO = 1$ となり、外部テストデータ入力 $TDI = 1$ となるように制御し、スキャンシフトイネーブル信号SCAN_SE = 0となってキャプチャシーケンスが始まると、任意のタイミング t_0 で、外部テストデータ入力 $TDI = 0$ とする。このときORゲート302の出力 $OR_O = 0$ となり、組み合わせ回路310の出力 $LO = 1$ であるため、ANDゲート301の出力 $RST = 1$ となり、フリップフロップ300はリセットされる。

【0089】

キャプチャタイミング $t_c 2$ 後のキャプチャシーケンス中の任意のタイミング

t_1 で、外部テストデータ入力TDI = 1とする。このときORゲート302の出力ORO = 1となり、組み合わせ回路310の出力LO = 1であるため、ANDゲート301の出力RST = 0となり、フリップフロップ300のリセットが解除される。

【0090】

以上のように、スキャンシフトシーケンス中は非同期リセット信号によりスキャンシフトデータをリセットすることなくスキャンシフトし、キャプチャサイクル時の組み合わせ回路310の出力LOと、これを有効・無効にマスク制御可能な外部テストデータ入力TDIによって、フリップフロップ300のリセット・非リセット状態をテストすることができる。

【0091】

(第3の実施の形態の効果)

以上説明したように、本実施の形態によれば、スキャンテスト用の専用のテスト専用ピンTDI、ANDゲート301、ORゲート302追加のみでフリップフロップ300のリセット回路のスキャンテストを実行できるので、スキャンテスト回路規模を小さくできるという効果がある。非同期リセット付きフリップフロップのリセット回路の信号に対して、これを有効・無効にマスク制御可能なテスト設けているので、スキャンテスト制御性が向上し、テストパターン数を少なくてできるという効果がある。また、スキャンテスト用の専用のテスト専用ピンを任意のタイミングで制御できるので、タイミング設計がしやすいという効果がある。

【0092】

以上、添付図面を参照しながら本発明にかかるスキャンテスト回路の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0093】

例えば、上記実施の形態として、非同期リセット回路を用いたが、非同期セッ

ト回路にも同様に適用可能であり、セット・リセット信号のハイアクティブ・ロー・アクティブに関係なく用いることが可能である。また、上記実施の形態中のANDゲート、ORゲートは論理関係を示すための回路構成例であり、同様の論理を生成するものであれば、この構成に限られたものではない。

【0094】

【発明の効果】

以上説明したように、本発明によれば、以下のような優れた効果を有する。

【0095】

スキャンテスト用の専用のスキャンテストモード入力、外部リセット入力のピンなど、テスト専用ピンを別途設ける必要がないので、LSIのピンを少なくできるという効果がある。また、リセット制御手段の追加のみで、フリップフロップ（例えば、非同期リセット付きフリップフロップ）のリセット回路のスキャンテストを実行できるので、少ないスキャンテスト回路規模でスキャンテストの故障検出率を向上できるという効果がある。

【0096】

また、フリップフロップ（例えば、非同期リセット付きフリップフロップ）のリセット回路の信号に対して、この有効・無効を制御するマスク手段と、該マスク手段を制御するマスク制御手段とを設けているので、スキャンテスト制御性が向上し、テストパターン数を少なくできるという効果がある。

【0097】

また、スキャンテスト用の専用の入力手段（例えば、テスト専用ピン）を任意のタイミングで制御できるので、タイミング設計がしやすいという効果がある。

【図面の簡単な説明】

【図1】

第1の実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。

【図2】

第1の実施の形態にかかるスキャンテスト回路の全体構成の一例を示す説明図である。

【図3】

組み合わせ回路の状態を示す説明図である。

【図4】

第1の実施の形態にかかるスキャンテスト回路の動作を示す説明図である。

【図5】

第2の実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。

【図6】

第2の実施の形態にかかるスキャンテスト回路の全体構成の一例を示す説明図である。

【図7】

組み合わせ回路の状態を示す説明図である。

【図8】

第2の実施の形態にかかるスキャンテスト回路の動作を示す説明図である。

【図9】

第3の実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。

【図10】

第3の実施の形態にかかるスキャンテスト回路の全体構成の一例を示す説明図である。

【図11】

第3の実施の形態にかかるスキャンテスト回路の動作を示す説明図である。

【符号の説明】

10, 20, 30 スキャンテスト回路

100, 200, 300 非同期リセット付きフリップフロップ

101, 201, 301 ANDゲート

110, 210, 310 組み合わせ回路

202, 302 ORゲート

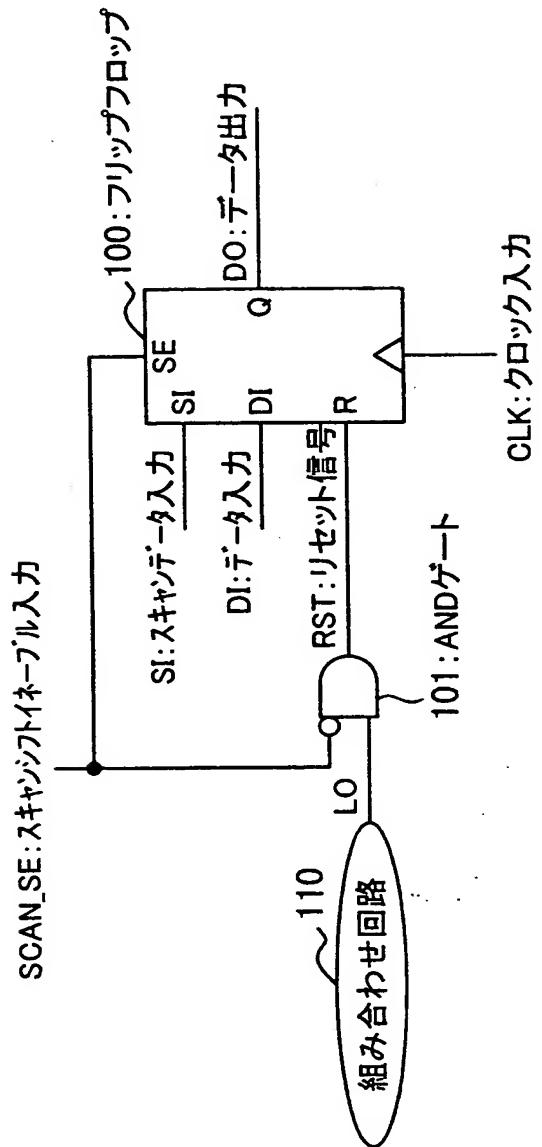
203 任意データロード用スキャンフリップフロップ

特2002-353702

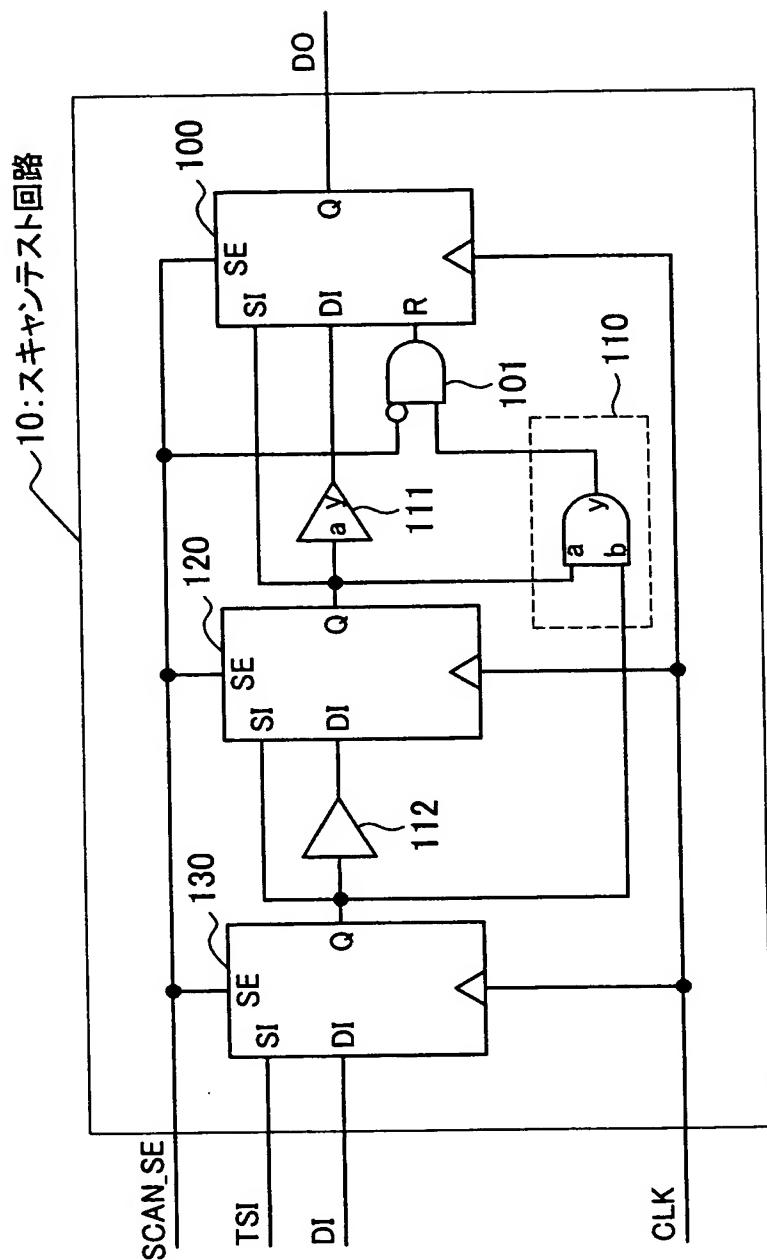
T D I テスト専用ピン

【書類名】 図面

【図1】



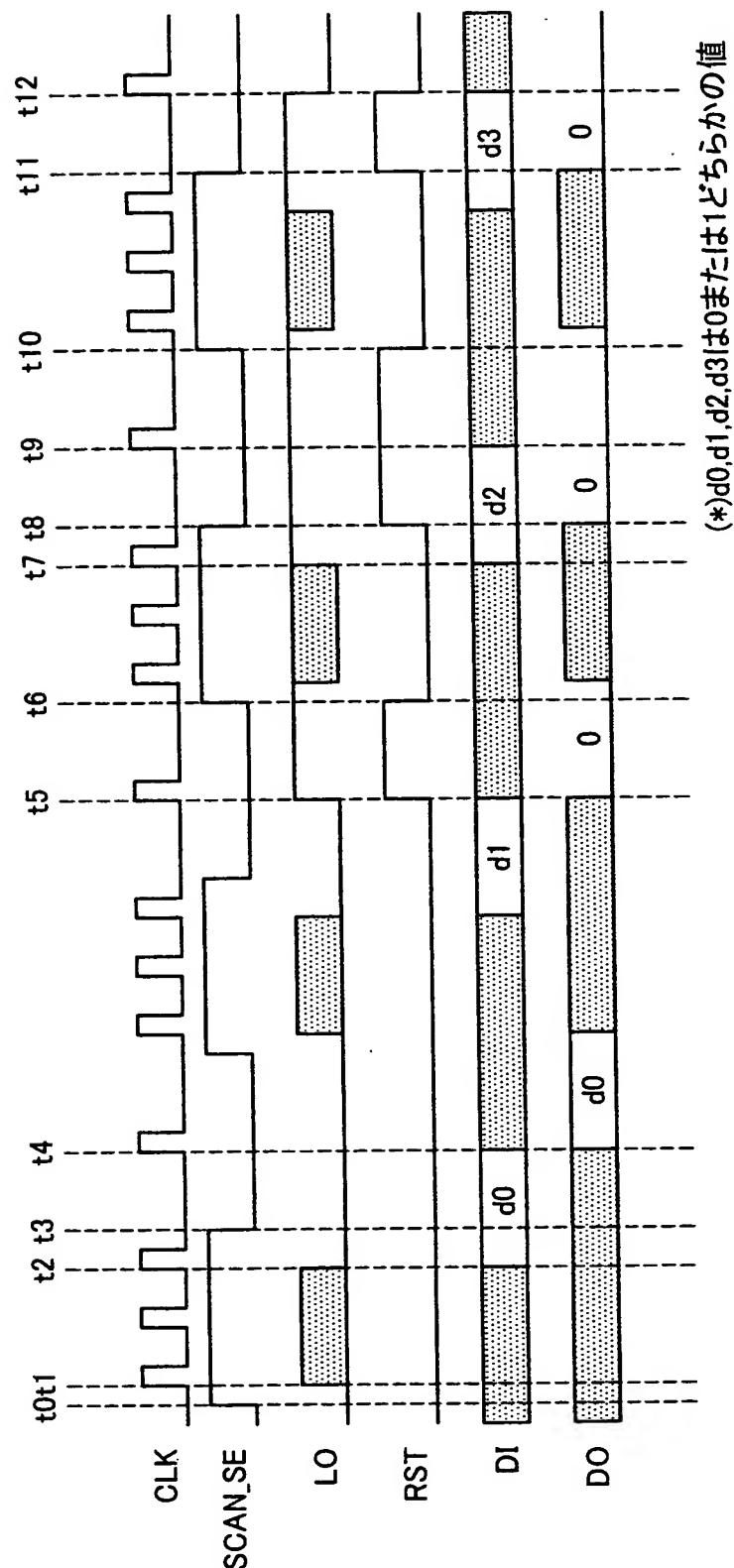
【図2】



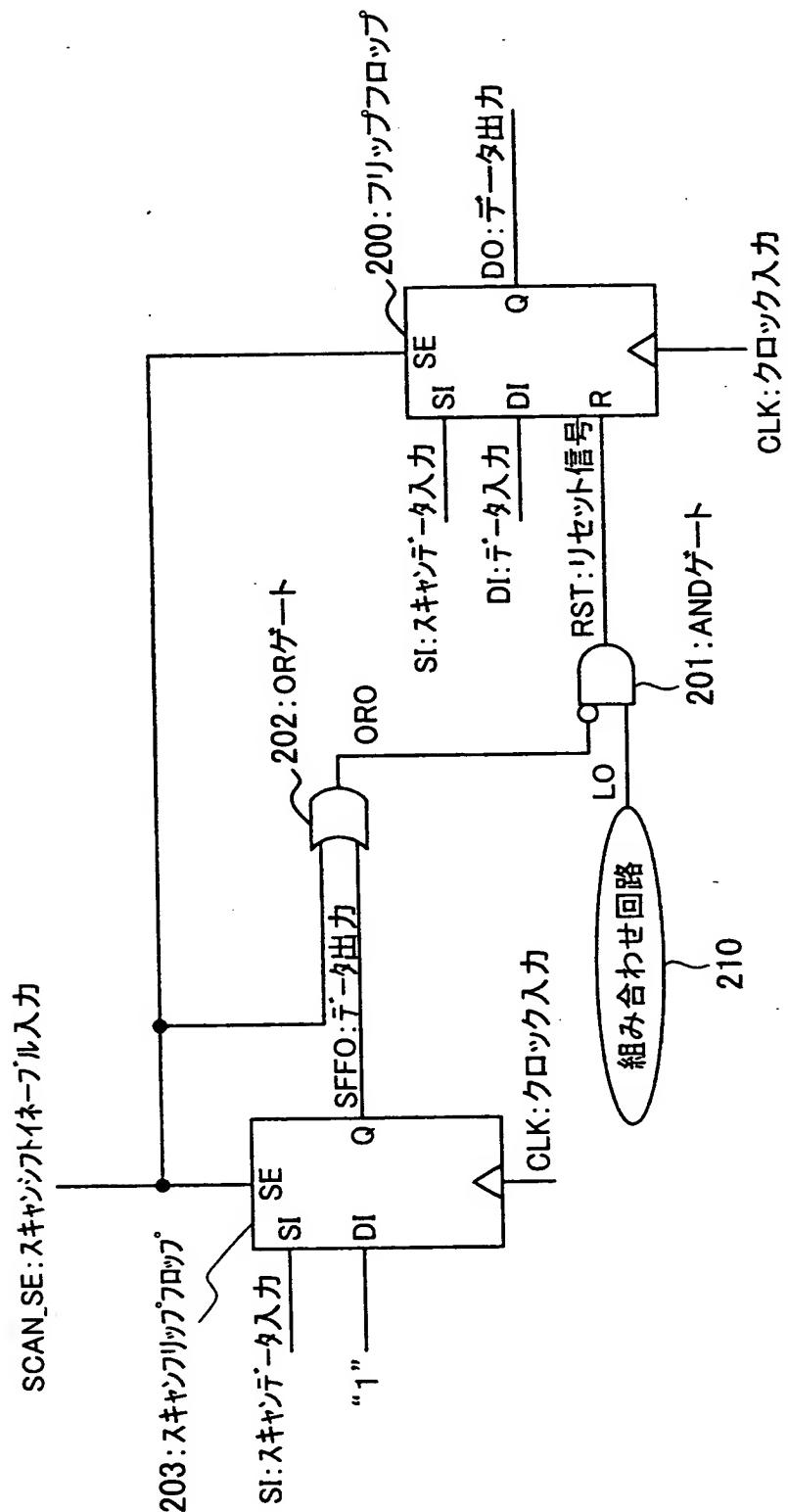
【図3】

a	b	y	R	F/F(100)の状態	パッファ(111)のピン a の SA0 故障
0	0	0	0	リセットはかかるない	テストできない
0	1	1	1	リセットはかかるない	テストできない
1	0	1	1	リセットはかかるない	テストできる
1	1	1	1	リセットはかかる	テストできない(リセットがかかるので)

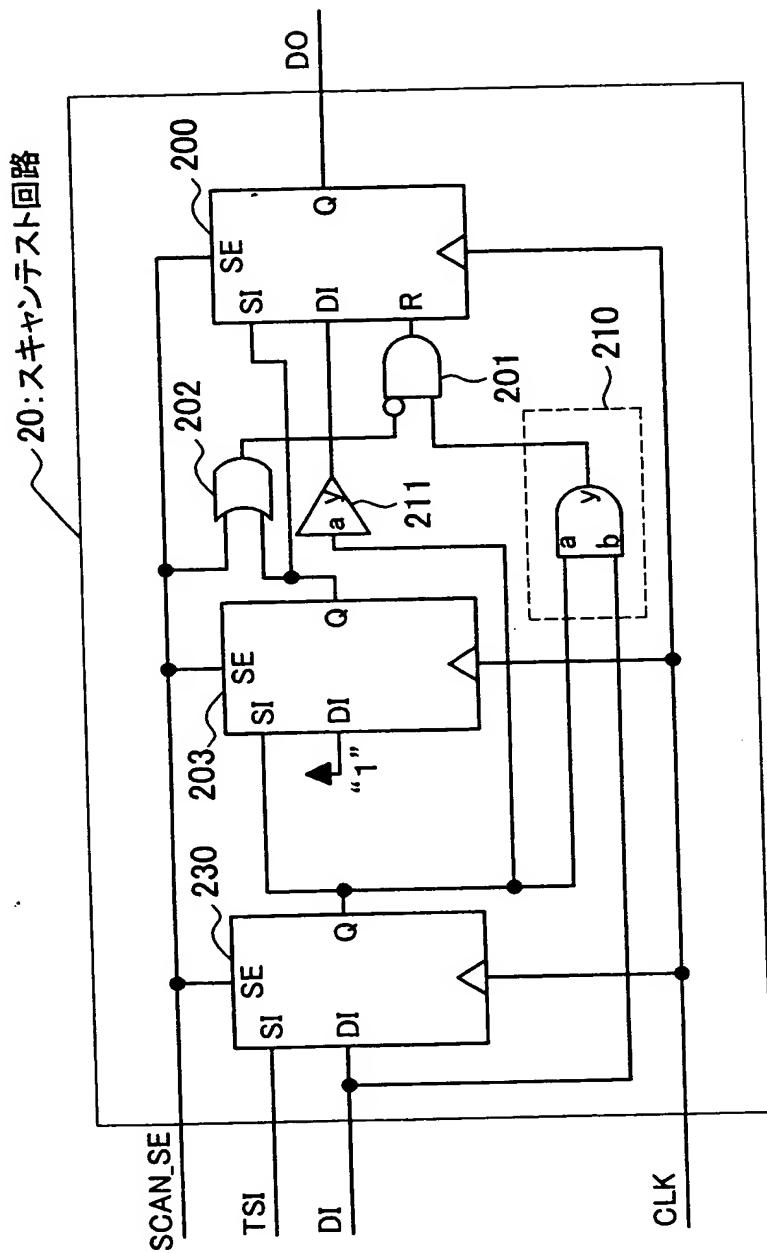
【図4】



【図5】



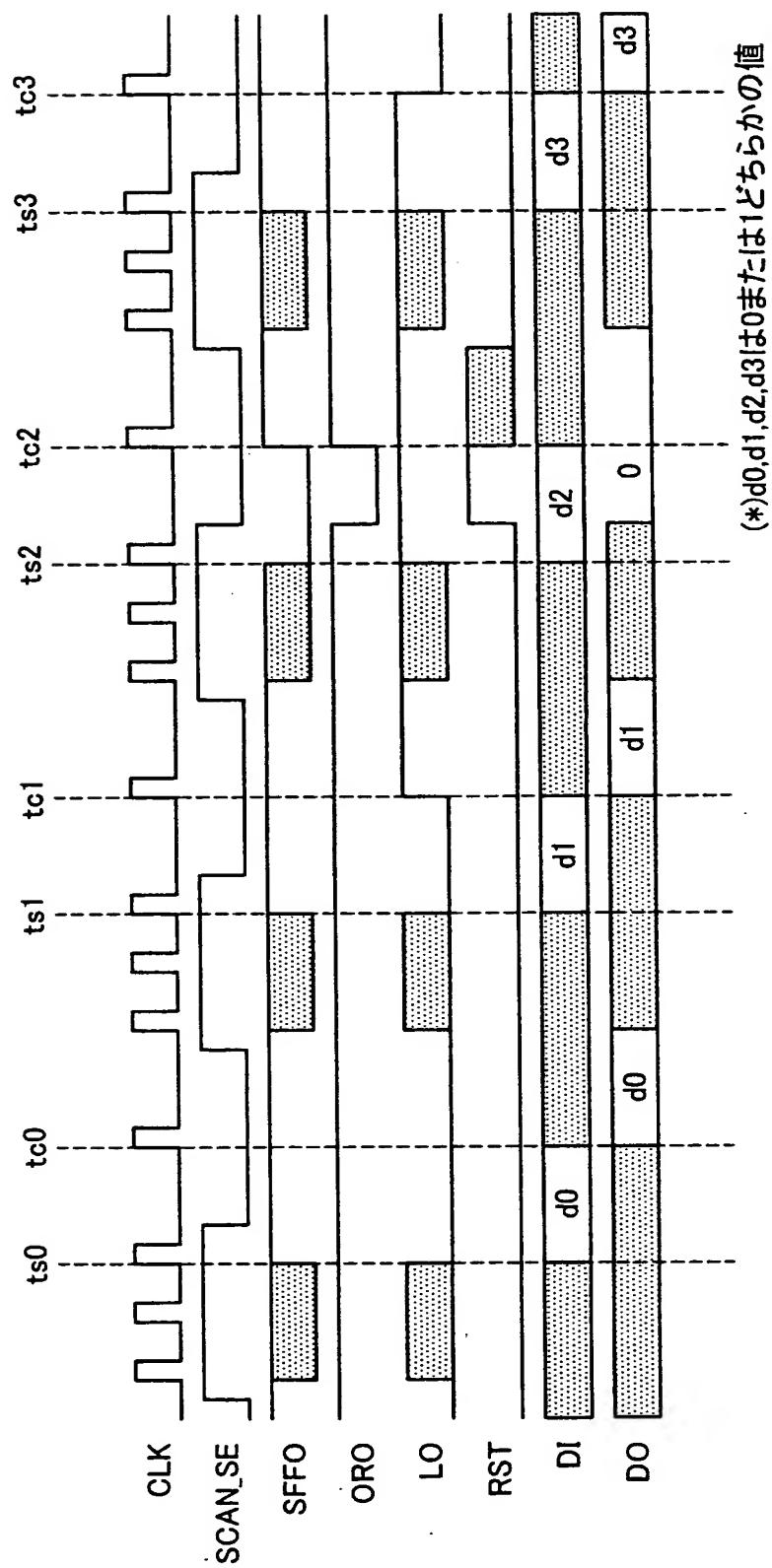
【図6】



【図7】

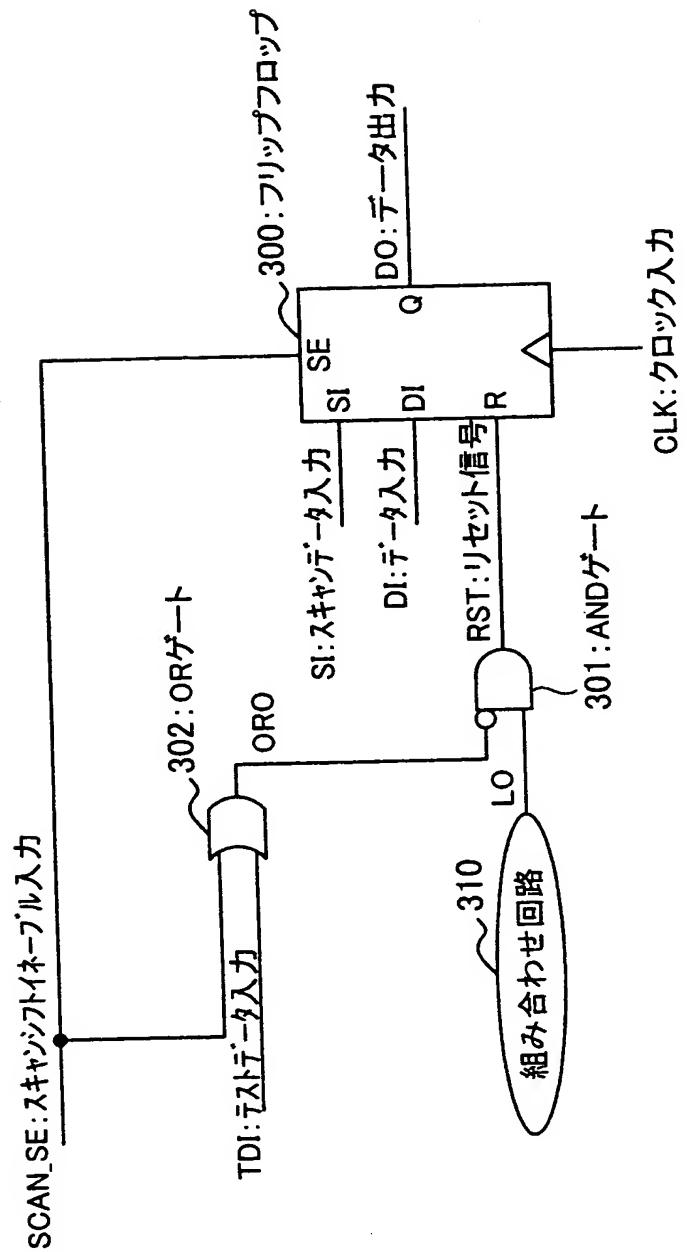
a	b	y	ORO	R	F/F(200,300)の状態	バッファ(211,311)のピンaのSA0故障
0	0	0	X	0	リセットはかからない	テストできない
0	1	1	0	1	リセットはかからない	テストできない
1	0	1	0	1	リセットはかからない	テストできる
1	1	1	0	1	リセットはかかる	テストできない(リセットがかかるので)
0	0	0	X	0	リセットはかからない	テストできない
0	1	1	1	0	リセットはかからない	テストできない
1	0	1	1	0	リセットはかからない	テストできる
1	1	1	1	0	リセットはかからない	テストできる

【図8】

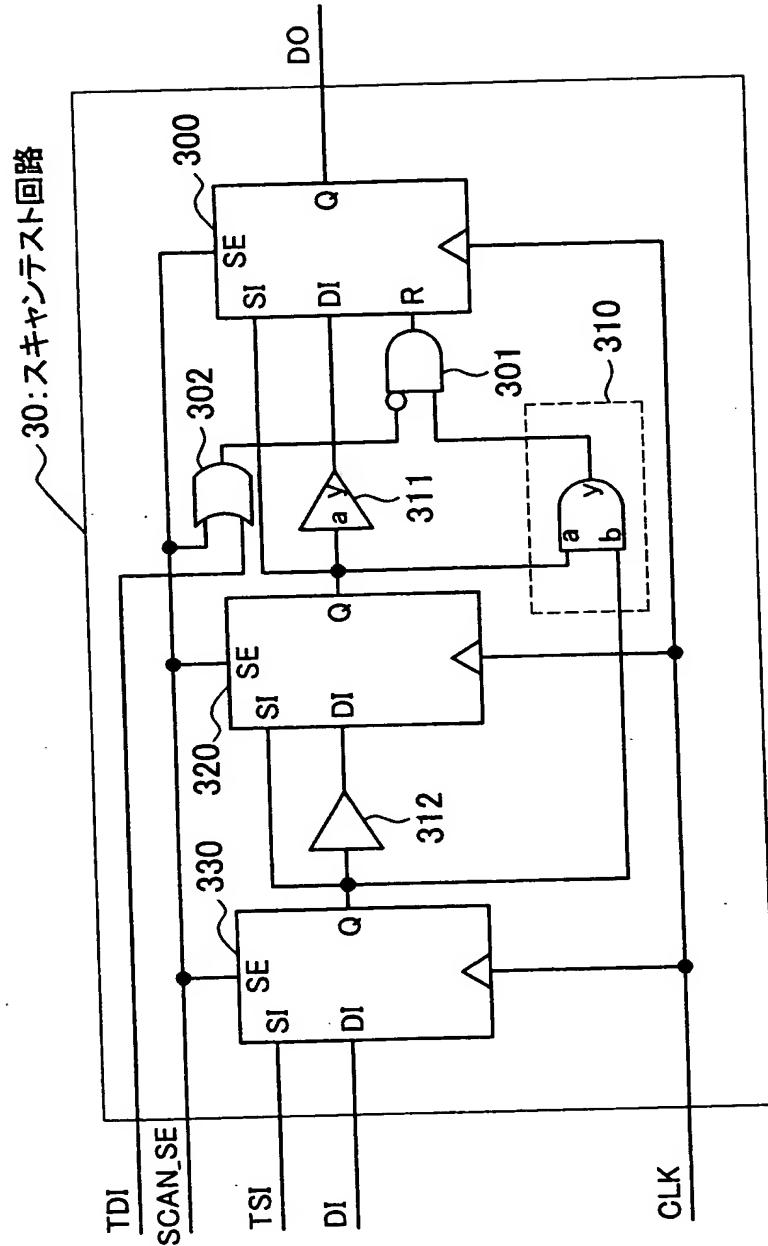


(*d0,d1,d2,d3|は0または1どちらかの値

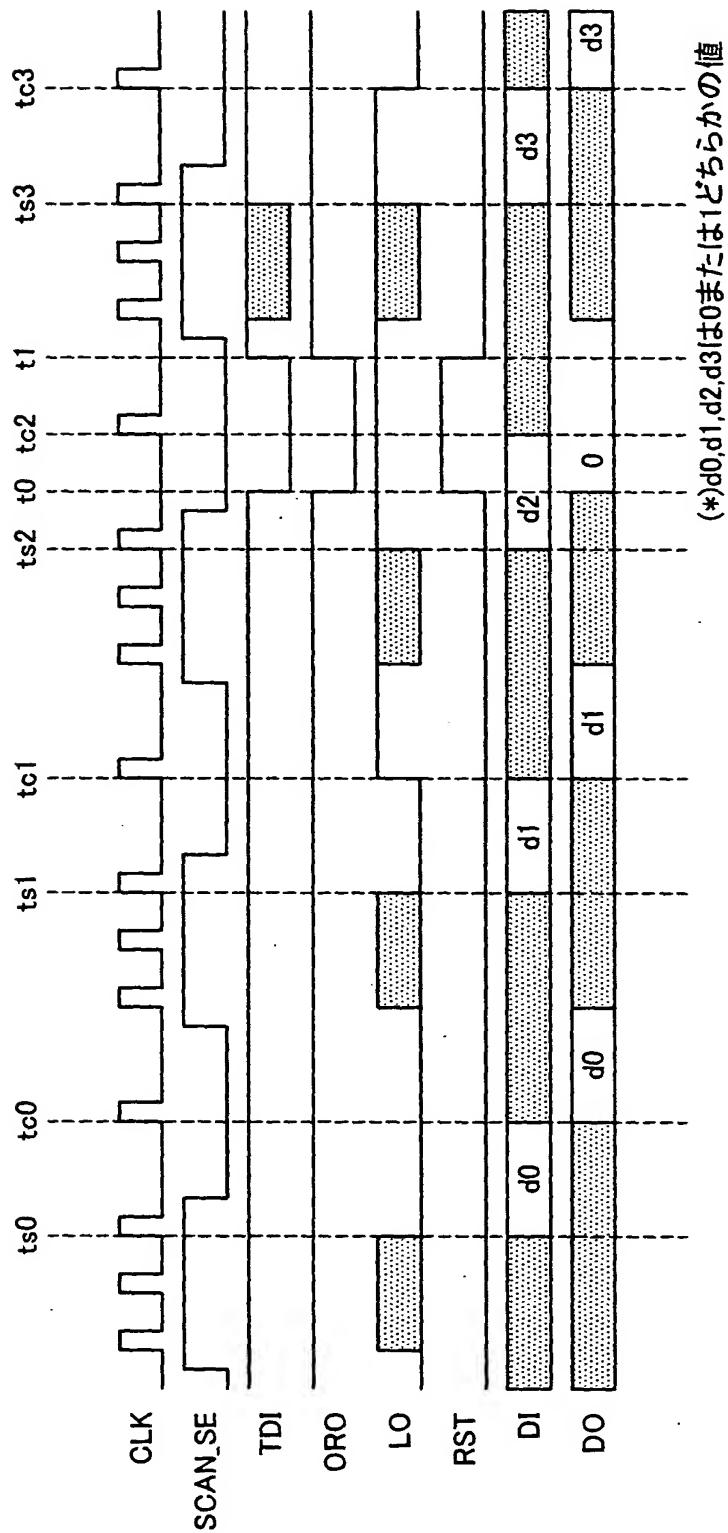
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 LSIのピン数を削減し、テストパターン削減、故障検出率の向上、および、スキャンテスト関連回路規模の削減を図ることの可能なスキャンテスト回路を提供する。

【解決手段】 スキャンテスト回路10は、リセット信号RSTが入力されるリセット入力端子Rを有し、スキャンデータSIと、データDIとが入力され、この入力されたスキャンデータとデータとをスキャンシフトイネーブル信号SCA_N_SEによって切り換えて出力データDOとするフリップフロップ100と、スキャンシフトイネーブル信号によって、リセット信号を制御するリセット制御手段たるANDゲート101とを備えたことを特徴とする。かかる構成によれば、スキャンテスト用の専用のスキャンテストモード入力、外部リセット入力のピンなど、テスト専用ピンを別途設ける必要がないので、LSIのピンを少なくできるという効果がある。

【選択図】 図1

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社